

Docket No.: 67161-053

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of

Koji IDA

Serial No.:

Group Art Unit:

Filed: July 03, 2003

Examiner:

For: METHOD OF MANUFACTURING SEMICONDUCTOR DEVICE

**CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop Patent Application
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

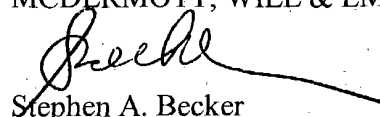
In accordance with the provisions of 35 U.S.C. 119, Applicant hereby claims the priority of:

Japanese Patent Application No. 2003-022062, filed January 30, 2003,

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY


Stephen A. Becker
Registration No. 26,527

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 SAB:km
Facsimile: (202) 756-8087
Date: July 3, 2003

日本国特許庁
JAPAN PATENT OFFICE

67161-053
Koji Iida
July 3, 2003

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日
Date of Application:

2003年 1月30日

出願番号
Application Number:

特願2003-022062

[ST.10/C]:

[JP 2003-022062]

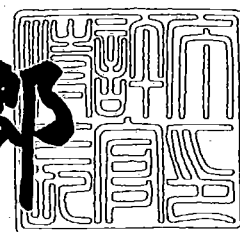
出願人
Applicant(s):

三菱電機株式会社

2003年 2月25日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3010905

【書類名】 特許願

【整理番号】 542251JP01

【提出日】 平成15年 1月30日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/76

【発明者】

【住所又は居所】 兵庫県伊丹市瑞原四丁目 1 番地 菱電セミコンダクタシ
ステムエンジニアリング株式会社内

【氏名】 井田 幸治

【特許出願人】

【識別番号】 000006013

【氏名又は名称】 三菱電機株式会社

【代理人】

【識別番号】 100064746

【弁理士】

【氏名又は名称】 深見 久郎

【選任した代理人】

【識別番号】 100085132

【弁理士】

【氏名又は名称】 森田 俊雄

【選任した代理人】

【識別番号】 100083703

【弁理士】

【氏名又は名称】 仲村 義平

【選任した代理人】

【識別番号】 100096781

【弁理士】

【氏名又は名称】 堀井 豊

【選任した代理人】

【識別番号】 100098316

【弁理士】

【氏名又は名称】 野田 久登

【選任した代理人】

【識別番号】 100109162

【弁理士】

【氏名又は名称】 酒井 將行

【手数料の表示】

【予納台帳番号】 008693

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置の製造方法

【特許請求の範囲】

【請求項1】 半導体基板上に、シリコン酸化膜と、シリコン窒化膜と、酸素原子を含む材質からなる反射防止膜とを順に形成する工程と、

前記シリコン酸化膜と、前記シリコン窒化膜と、前記反射防止膜とをパターンニングする工程と、

前記反射防止膜に前記酸素原子の量を減少させる還元処理を施す工程と、

前記還元処理後の前記反射防止膜と、前記シリコン窒化膜と、前記シリコン酸化膜とをマスクとして前記半導体基板をエッチングすることにより、前記半導体基板の主表面にトレンチを形成する工程と、

前記トレンチ内に絶縁膜を埋め込む工程と、
を備えた、半導体装置の製造方法。

【請求項2】 前記還元処理は、水素原子を含むガスを導入した雰囲気内で前記反射防止膜に熱処理を施すことにより行なわれる、請求項1に記載の半導体装置の製造方法。

【請求項3】 半導体基板上に、シリコン酸化膜と、シリコン窒化膜と、酸素原子を含む材質からなる反射防止膜とを順に形成する工程と、

前記シリコン酸化膜と、前記シリコン窒化膜と、前記反射防止膜とをパターンニングする工程と、

パターンニングされた前記反射防止膜と前記シリコン窒化膜と前記シリコン酸化膜とをマスクとして、前記反射防止膜上面のフラット部のエッチングレートがファセット部のエッチングレート以上となるエッチングガスを用いて前記半導体基板をエッチングすることにより、前記半導体基板の主表面にトレンチを形成する工程と、

前記トレンチ内に絶縁膜を埋め込む工程と、
を備えた、半導体装置の製造方法。

【請求項4】 前記エッチングガスは、フッ化炭素系のガスを含む、請求項3に記載の半導体装置の製造方法。

【請求項 5】 半導体基板上に、シリコン酸化膜と、シリコン窒化膜と、酸素原子を含む材質からなる反射防止膜とを順に形成する工程と、

前記シリコン酸化膜と、前記シリコン窒化膜と、前記反射防止膜とをパターニングする工程と、

パターニングされた前記反射防止膜と前記シリコン窒化膜と前記シリコン酸化膜とをマスクとして、還元機能を有するガスを用いて前記半導体基板をエッチングすることにより、前記半導体基板の主表面にトレンチを形成する工程と、

前記トレンチ内に絶縁膜を埋め込む工程と、
を備えた、半導体装置の製造方法。

【請求項 6】 前記還元機能を有するガスは、水素原子を含むガスを含み、
前記反射防止膜を還元しながら前記半導体基板をエッチングすることにより前記トレンチを形成する、請求項 5 に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置の製造方法に関し、特に、半導体装置におけるトレンチ型素子分離構造の製造方法に関する。

【0002】

【従来の技術】

半導体装置の素子分離構造の一例として、トレンチ型素子分離構造は知られている。該トレンチ型素子分離構造を有する半導体装置の製造方法を開示した文献として、特開 2 0 0 1 - 9 3 9 7 0 号公報や特開昭 5 9 - 1 8 2 5 3 7 号公報がある。

【0003】

特開 2 0 0 1 - 9 3 9 7 0 号公報には、次のようなトレンチ型素子分離構造の形成方法が記載されている。半導体基板上に下敷きシリコン酸化膜、シリコン窒化膜、反射防止膜を形成し、レジストをマスクとして用いてこれらをパターニングする。その後、レジストおよび反射防止膜を除去し、シリコン窒化膜とシリコン酸化膜とをマスクとして用いて半導体基板にトレンチを形成する。このトレン

チ内にシリコン酸化膜を埋め込む。

【0004】

また、特開昭59-182537号公報には、次のようなトレンチ型素子分離構造の形成方法が記載されている。シリコン基板上に酸化膜、窒化シリコン膜および酸化シリコン膜を形成し、これらを所定形状にパターニングする。パターニングされた酸化膜、窒化シリコン膜および酸化シリコン膜をマスクとしてシリコン基板をエッチングしてトレンチを形成し、該トレンチ内にボロンガラス (B S G : boro-silicate glass) を埋め込む。

【0005】

【特許文献1】

特開2001-93970号公報

【0006】

【特許文献2】

特開昭59-182537号公報

【0007】

【発明が解決しようとする課題】

上述のように特開2001-93970号公報や特開昭59-182537号公報に記載の半導体装置の製造方法では、シリコン窒化膜とシリコン酸化膜をマスクとしてエッチングを行なうことによりトレンチを形成しているが、反射防止膜をシリコン窒化膜 (Si_3N_4 膜) 上に残したままエッチングを行なうことによりトレンチを形成することもできる。

【0008】

反射防止膜をシリコン窒化膜上に残したままトレンチ形成のためのエッチングを行った場合、反射防止膜は、通常は上記エッチング時に消失する。しかし、反射防止膜の材質によっては、反射防止膜のフラット部のエッチングレート (反応性イオンエッチングレート) よりもファセット部のエッチングレート (スパッタエッチングレート) が大きくなる。そのため、反射防止膜の上端コーナ部が丸まり、それに伴いシリコン窒化膜の上端コーナ部も丸まってしまう。

【0009】

上記エッチングの際には、この丸まったシリコン窒化膜の上端コーナ部にもエッチングガス（エッチャント）が衝突してエッチングが行なわれるが、エッチングガスの一部は、丸まったシリコン窒化膜の上端コーナ部に衝突した後に進行方向を変えてトレンチ側壁に向かって進み、トレンチ側壁に衝突する。それにより、トレンチ側壁に衝突するエッチングガスの量が増加し、トレンチ側壁が不必要に後退してしまう。その結果、トレンチ側壁の形状が、その高さ方向の中央部や底部近傍において凹んだ形状あるいはボウイング形状となる。このような形状のトレンチに絶縁膜を埋め込むと、絶縁膜内部に空間部が形成され易くなり、絶縁膜の埋め込み不良の要因となり得る。

【 0 0 1 0 】

本発明は、上述のような課題を解決するためになされたものであり、トレンチ形成の際のマスクの上端コーナ部が丸まる程度を軽減することにより、結果としてトレンチへの絶縁膜の埋込特性を向上することが可能となる半導体装置の製造方法を提供することを目的とする。

【 0 0 1 1 】

【課題を解決するための手段】

本発明に係る半導体装置の製造方法は、次の各工程を備える。半導体基板上にシリコン酸化膜と、シリコン窒化膜と、酸素原子を含む材質からなる反射防止膜とを順に形成する。シリコン酸化膜とシリコン窒化膜と反射防止膜とをパターニングする。反射防止膜に酸素原子の量を減少させる還元処理を施す。還元処理後の反射防止膜と、シリコン窒化膜と、シリコン酸化膜とをマスクとして半導体基板をエッチングすることにより、半導体基板の主表面にトレンチを形成する。トレンチ内に絶縁膜を埋め込む。

【 0 0 1 2 】

【発明の実施の形態】

以下、図 1 ～ 図 1 0 を用いて、本発明の実施の形態について説明する。

【 0 0 1 3 】

（実施の形態 1）

まず、図 1 ～ 図 6 を用いて、本発明の実施の形態 1 について説明する。本実施

の形態1では、次のような工程を経て半導体装置を製造する。半導体基板上にマスク膜としてのシリコン酸化膜と、シリコン窒化膜と、酸素原子を含む材質からなる反射防止膜とを順に形成し、該シリコン酸化膜とシリコン窒化膜と反射防止膜とを所定形状にパターニングし、反射防止膜に酸素原子の量を減少させる還元処理を施し、還元処理後の反射防止膜と、シリコン窒化膜と、シリコン酸化膜とをマスクとして半導体基板をエッチングすることにより半導体基板の主表面に素子分離用のトレンチを形成し、該トレンチ内に絶縁膜を埋め込む。

【0014】

上記還元処理は、水素原子を含むガスを導入した雰囲気内で反射防止膜に熱処理を施すことにより行なえる。

【0015】

上記のように反射防止膜に還元処理を施すことにより、反射防止膜の膜質を変化させることができ、反射防止膜上面のフラット部のエッチングレート（反応性イオンエッチングレート）を増大することができる。

【0016】

エッチングにおいては、被エッチング膜上面のフラット部のエッチングレートは被エッチング膜の膜質への依存性が大きいのに対し、被エッチング膜のファセット部（傾斜部）のエッチングレート（スパッタエッチングレート）は被エッチング膜の膜質への依存性が小さくなる。したがって、上記のように被エッチング膜である反射防止膜の膜質を変化させることで反射防止膜のフラット部のエッチングレートのみを実質的に増大することができる。

【0017】

このように反射防止膜上面のフラット部のエッチングレートを増大することができるので、反射防止膜の上端コーナ部が丸まる程度を軽減することができる。反射防止膜はトレンチエッチング時に消失するが、反射防止膜の上端コーナ部が丸まる程度を軽減できることにより、反射防止膜の下層のシリコン窒化膜の上端コーナ部のエッチング量を低減することができ、シリコン窒化膜の上端コーナ部が丸まる程度をも軽減することができる。

【0018】

したがって、トレンチエッチング時に、シリコン窒化膜の上端コーナ部に衝突してトレンチ側壁に向かうエッチングガスの量を低減することができ、トレンチ側壁が局所的に過度にエッチングされて後退するのを抑制することができる。より詳しくは、トレンチの高さ方向の中央部や底部近傍が広がったような形状となるのを抑制することができ、トレンチの形状を、絶縁膜の埋込に適した形状とすることができる。かかるトレンチ内に絶縁膜を埋め込むことにより、トレンチへの絶縁膜の埋込不良を抑制することができる。

【0019】

次に、本実施の形態1における半導体装置の製造方法についてより具体例に説明する。

【0020】

まず、図1に示すように、半導体基板の一例であるシリコン基板1の主表面上に、熱酸化法によりシリコン酸化膜（熱酸化膜）9と、CVD (Chemical Vapor Deposition) 法等によりシリコン窒化膜（ Si_3N_4 膜）2を堆積し、プラズマCVD法等によりシリコン窒化酸化膜（P-SiON膜）3を堆積する。このシリコン窒化酸化膜3が反射防止膜として機能する。

【0021】

次に、図2に示すように、フォトリソグラフィにより、素子分離領域となる領域以外の領域上にフォトレジストマスク4を形成する。このフォトレジストマスク4をマスクとしてドライエッチングを行なうことにより、素子分離領域上のシリコン酸化膜9とシリコン窒化膜2とシリコン窒化酸化膜3とを除去する。その後、図3に示すように、フォトレジストマスク4を剥離する。

【0022】

次に、シリコン窒化酸化膜3に、 H_2 雰囲気で $350^\circ\text{C} \sim 1100^\circ\text{C}$ 程度の温度でのアニールや NH_3 雰囲気で $350^\circ\text{C} \sim 1100^\circ\text{C}$ 程度の温度でのアニールを施す。それにより、シリコン窒化酸化膜3中の酸素原子の量を減少させる還元処理を行なうことができ、シリコン窒化酸化膜3の膜質を変化させることができる。その結果、図4に示すように変質したシリコン窒化酸化膜3a（以下、単に「シリコン窒化酸化膜3a」と称する）が得られる。なお、シリコン窒化酸化膜

から酸素成分がほとんど除去された場合には、シリコン窒化酸化膜 3 a はシリコン中に窒素をある程度含んだ膜となる。

【0023】

次に、還元処理を施すことで変質したシリコン窒化酸化膜 3 a と、シリコン窒化膜 2 と、シリコン酸化膜 9 とをマスクとしてシリコン基板 1 をエッチングする。それにより、図 5 に示すようにトレンチ 5 を形成する。

【0024】

上記のような還元処理により膜質が変化することによってシリコン窒化酸化膜 3 a 上面のフラット部のエッチングレートは増大するが、シリコン窒化酸化膜 3 a のファセット部のエッチングレートはあまり変化しない。したがって、上記のトレンチエッチング時に、シリコン窒化酸化膜 3 a 上面のフラット部のエッチングレートを相対的に増大することができる。その結果、シリコン窒化酸化膜 3 a の上端コーナ部が丸まる度を軽減しながらシリコン窒化酸化膜 3 a を除去することができ、シリコン窒化膜 2 の上端コーナ部が丸められる度を軽減することができる。

【0025】

ここで、図 7 と図 8 を用いて、還元処理を行なった場合と行なわなかった場合のシリコン窒化酸化膜 3 の除去後のシリコン窒化膜 2 の形状例について説明する。

【0026】

図 7 は、還元処理を行なわなかった場合のシリコン窒化酸化膜 3 およびシリコン窒化膜 2 の形状例を示し、図 8 は、還元処理を行なった場合のシリコン窒化酸化膜 3 a およびシリコン窒化膜 2 の形状例を示している。なお、図 7 および図 8 では、図示の便宜上、シリコン窒化膜 2 およびシリコン窒化酸化膜 3, 3 a の上端コーナ部に平坦な傾斜面が形成されるように図示しているが、実際のデバイスでは該上端コーナ部は丸まった形状となるものと推察される。

【0027】

図 7 に示すように、還元処理を行なわなかった場合には、シリコン窒化酸化膜 3 上面のフラット部 7 のエッチングレートよりもファセット部 8 のエッチングレ

ートが大きくなるので、フラット部7のエッチング量E1よりもファセット部8のエッチング量E2が格段に大きくなり、シリコン窒化膜2の上端コーナ部のエッチング量が増える。そのため、図7の下図のようにシリコン窒化膜2の上端コーナ部が面取りされたような状態となり、結果的にシリコン窒化膜2の上端コーナ部が丸められる（上端コーナ部の曲率が大きくなる）。

【0028】

それに対し、図8の例のように還元処理を行なうと、シリコン窒化酸化膜3aのフラット部7のエッチング量E3は増大するが、ファセット部8のエッチング量E2はほとんど変化しない。そのため、図7の場合よりもシリコン窒化膜2の上端コーナ部のエッチング量を減少することができ、図8の下図のようにシリコン窒化膜2の上端コーナ部が丸められる程度を軽減することができる（上端コーナ部の曲率が小さくなる）。

【0029】

上述のように還元処理を施したシリコン窒化酸化膜3aをトレンチエッチング時のマスクの一部として用いることによりシリコン窒化膜2の上端コーナ部が丸まる程度を軽減することができるが、それに伴い、該シリコン窒化膜2の上端コーナ部に衝突してトレンチ5側壁側へ向かうエッチングガスの量を低減することができる。それにより、トレンチ5の側壁が過度にエッチングされるのを抑制することができる。

【0030】

次に、トレンチ5の内壁を酸化した後、図6に示すように、HDP (High Density Plasma) -CVD法等により、シリコン酸化膜6をトレンチ5内に埋め込む。このとき、図5に示すようにトレンチ5の形状がシリコン酸化膜6を埋め込むのに適した形状となっているので、シリコン酸化膜6の埋込不良を回避することができる。

【0031】

それ以降は、周知の工程を経てトレンチ型素子分離構造を形成し、また素子形成領域にMOS (Metal Oxide Semiconductor) トランジスタ等の種々の素子（図示せず）を形成する。

【0032】

(実施の形態2)

次に、本発明の実施の形態2について図9および図10を用いて説明する。本実施の形態2では、実施の形態1と同様の手法でパターニングされた反射防止膜とシリコン窒化膜とシリコン酸化膜とをマスクとして、反射防止膜上面のフラット部のエッチングレートがファセット部のエッチングレート以上となるエッチングガスを用いて半導体基板をエッチングすることにより、半導体基板の主表面に素子分離用のトレンチを形成する。これ以外の工程については実施の形態1と基本的に同様である。

【0033】

上記のように反射防止膜上面のフラット部のエッチングレートがファセット部のエッチングレート以上となるエッチングガスを用いて半導体基板をエッチングすることにより、トレンチエッチング時に、反射防止膜の上端コーナ部が丸まる程度を軽減しながら反射防止膜を消失させることができる。それにより、マスク膜であるシリコン窒化膜上端コーナ部が丸まる程度を軽減することができ、実施の形態1の場合と同様の効果を期待できる。

【0034】

なお、本実施の形態においても、典型的な反射防止膜としてプラズマCVD法で成膜したシリコン窒化酸化膜を挙げることができる。エッチングガスとしては、フッ化炭素系のガスを挙げることができる。ここで、フッ化炭素系のガスとは、 CF_4 、 CHF_3 のようなC、Fを含んだフルオロカーボン系のガスのことである。

【0035】

次に、本実施の形態2における半導体装置の製造方法についてより具体例に説明する。

【0036】

実施の形態1と同様の工程を経て、シリコン基板1の主表面上にシリコン酸化膜9と、シリコン窒化膜2と、シリコン窒化酸化膜3とを形成し、フォトリソグラフィによりこれらを所定形状にパターニングする(図1および図2参照)。そ

れにより、図9に示すように、シリコン基板1の主表面上における素子形成領域上に、シリコン酸化膜9とシリコン窒化膜2とシリコン窒化酸化膜3との積層構造を残余させる。

【0037】

次に、シリコン酸化膜9とシリコン窒化膜2とシリコン窒化酸化膜3とをマスクとしてシリコン基板1をエッチングし、図10に示すようにシリコン基板1にトレンチ5を形成する。このとき、エッチングガスに反応性の強いフルオロカーボン系 (CF_4 等) のガスを用いる。それにより、シリコン窒化酸化膜3上面のフラット部のエッチングレートを増大することができ、シリコン窒化酸化膜3の上端コーナ部が丸まるのを抑制しながらシリコン窒化酸化膜3を消失させることができる。これ以降は、実施の形態1と同様の工程を経て半導体装置が形成される。

【0038】

(実施の形態3)

次に、本発明の実施の形態3について説明する。なお、本実施の形態3における半導体装置の製造工程図は、実施の形態2の場合と同様であるので、図示を省略する。

【0039】

本実施の形態3では、酸素原子を含む材質からなる反射防止膜とシリコン窒化膜とシリコン酸化膜とをパターニングし、このパターニングされた積層膜をマスクとして、エッチングガスに還元機能を有するガスを添加して半導体基板をエッチングすることにより、半導体基板の主表面に素子分離用のトレンチを形成する。これ以外の工程については実施の形態1と基本的に同様である。

【0040】

上記のように還元機能を有するガスを用いて半導体基板をエッチングすることにより、酸素原子を含む材質からなる反射防止膜を還元しながらトレンチを形成することができる。それにより、反射防止膜の上端コーナ部が丸まるのを抑制しながら反射防止膜を消失させることができる。したがって、シリコン窒化膜の上端コーナ部が丸まる程度を軽減することができ、実施の形態1の場合と同様の効

果を期待できる。

【0041】

なお、本実施の形態においても、典型的な反射防止膜としてはプラズマCVD法で成膜したシリコン窒化酸化膜を挙げることができる。還元機能を有するガスとしては、 H_2 ガスや NH_3 ガスのような水素原子を有するガスを挙げることができる。

【0042】

次に、本実施の形態3における半導体装置の製造方法についてより具体例に説明する。

【0043】

実施の形態1と同様の工程を経て、シリコン基板1の主表面上にシリコン酸化膜9とシリコン窒化膜2とシリコン窒化酸化膜3とを形成し、フォトリソグラフィによりこれらを所定形状にパターニングする(図1および図2参照)。それにより、図9に示す場合と同様に、シリコン基板1の主表面上における素子形成領域上にシリコン酸化膜9とシリコン窒化膜2とシリコン窒化酸化膜3との積層構造を残余させる。

【0044】

次に、シリコン酸化膜9とシリコン窒化膜2とシリコン窒化酸化膜3とをマスクとしてシリコン基板1をエッチングし、図10に示す場合と同様に、トレンチ5を形成する。このとき、エッチングガスに還元力の強い H_2 ガスや NH_3 ガスを添加する。それにより、シリコン窒化酸化膜3を還元しながらトレンチエッチングを行なうことができ、実施の形態1、2の場合と同様にシリコン窒化酸化膜3の上端コーナ部が丸まるのを抑制しながらシリコン窒化酸化膜3を消失させることができる。これ以降は、実施の形態1と同様の工程を経て半導体装置が形成される。

【0045】

以上のように本発明の実施の形態について説明を行なったが、各実施の形態の特徴を適宜組合せることも当初から予定されている。

【0046】

また、今回開示した実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれる。

【0047】

【発明の効果】

本発明によれば、たとえば反射防止膜の膜質を変化させることにより反射防止膜のフラット部のエッチングレートを増大することができるので、トレンチ形成のためのエッチング時に、反射防止膜の上端コーナ部が丸まる程度を軽減することができる。それにより、上記エッチング時にシリコン窒化膜の上端コーナ部が丸まる程度をも軽減することができ、トレンチ形状を所望の形状とすることができる。その結果、トレンチへの絶縁膜の埋込特性を向上することができる。

【図面の簡単な説明】

【図1】 本発明の実施の形態1における半導体装置の製造工程の第1工程を示す断面図である。

【図2】 本発明の実施の形態1における半導体装置の製造工程の第2工程を示す断面図である。

【図3】 本発明の実施の形態1における半導体装置の製造工程の第3工程を示す断面図である。

【図4】 本発明の実施の形態1における半導体装置の製造工程の第4工程を示す断面図である。

【図5】 本発明の実施の形態1における半導体装置の製造工程の第5工程を示す断面図である。

【図6】 本発明の実施の形態1における半導体装置の製造工程の第6工程を示す断面図である。

【図7】 還元処理を行なわなかった場合のトレンチエッチング時のシリコン窒化酸化膜およびシリコン窒化膜の形状例を示す断面図である。

【図8】 還元処理を行なった場合のトレンチエッチング時のシリコン窒化酸化膜およびシリコン窒化膜の形状例を示す断面図である。

【図9】 本発明の実施の形態2における半導体装置の製造工程の第3工程

を示す断面図である。

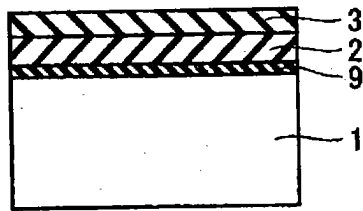
【図 1 0】 本発明の実施の形態 2 における半導体装置の製造工程の第 4 工程を示す断面図である。

【符号の説明】

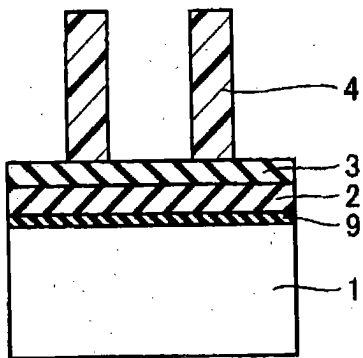
1 シリコン基板、2 シリコン窒化膜、3, 3 a シリコン窒化酸化膜、4 フォトレジストマスク、5 トレンチ、6, 9 シリコン酸化膜、7 フラット部、8 ファセット部。

【書類名】 図面

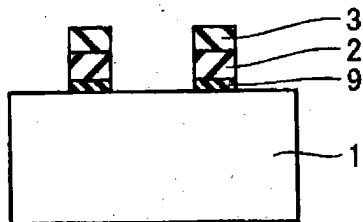
【図 1】



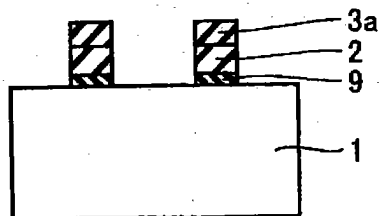
【図 2】



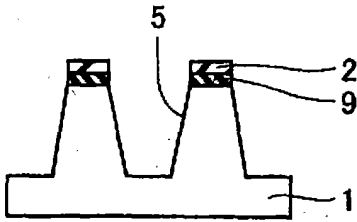
【図 3】



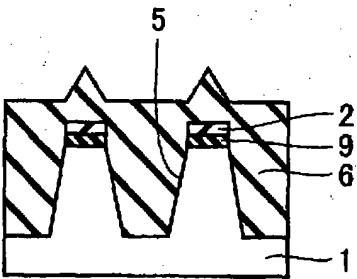
【図 4】



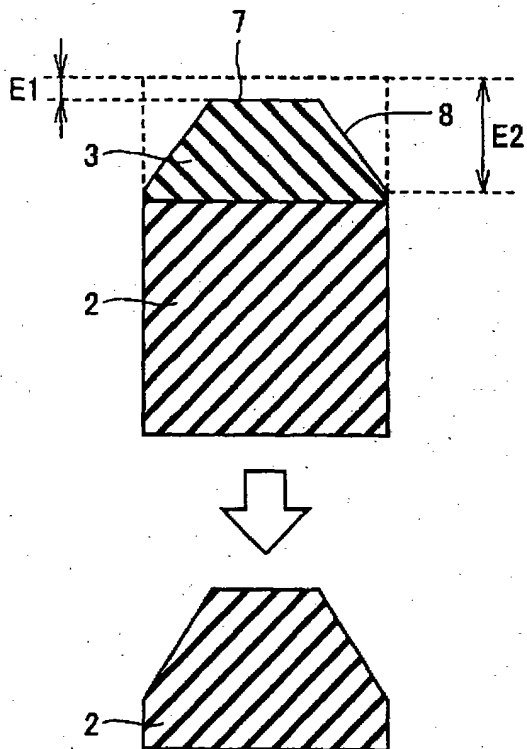
【図 5】



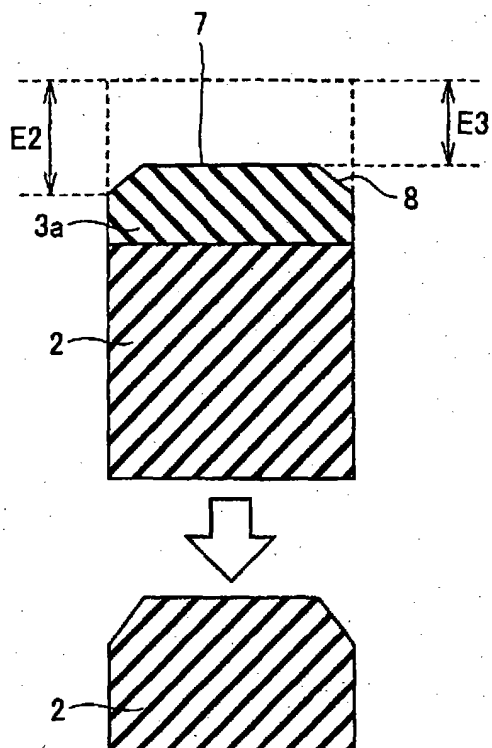
【図 6】



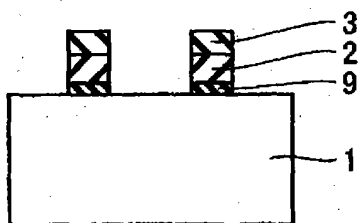
【図 7】



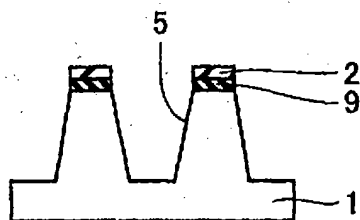
【図 8】



【図 9】



【図 10】



【書類名】 要約書

【要約】

【課題】 トレンチ形成の際のマスクの上端コーナ部が丸まる程度を軽減することにより、トレンチ形状を所望のものとし、結果としてトレンチへの絶縁膜の埋込特性を向上することが可能となる半導体装置の製造方法を提供する。

【解決手段】 シリコン基板 1 上にシリコン窒化膜 2 と、反射防止膜としてのシリコン窒化酸化膜とを順に形成する。シリコン窒化膜 2 とシリコン窒化酸化膜とをパターニングする。シリコン窒化酸化膜に酸素原子の量を減少させる還元処理を施す。還元処理後のシリコン窒化酸化膜 3 a とシリコン窒化膜 2 とをマスクとしてシリコン基板 1 をエッチングすることにより、シリコン基板 1 の主表面にトレンチを形成する。このトレンチ内に絶縁膜を埋め込む。

【選択図】 図 4

出 願 人 履 歴 情 報

識別番号 [000006013]

1. 変更年月日 1990年 8月24日
[変更理由] 新規登録
住 所 東京都千代田区丸の内2丁目2番3号
氏 名 三菱電機株式会社